

# Система проектирования

## QuartusII

*Вводная лекция*

# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1

# Продукция фирмы Альтера

ALTERA®

**MAX<sup>®</sup>**  
Series

CPLDs

**Cyclone<sup>™</sup>**  
Series

Low-cost FPGAs

**Stratix<sup>™</sup>**  
Series

High-density,  
high-performance FPGAs

**Arria<sup>™</sup>**  
Series

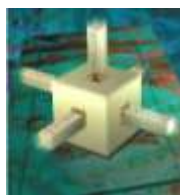
Mid-range Transceiver  
FPGAs

**HardCopy<sup>™</sup>**  
Series

ASICs

**Nios<sup>®</sup> II**

Embedded  
soft processors



Intellectual  
Property (IP)



**Design  
software**

software



Development  
kits

# История развития направления Low-Cost

**FLEX** 6000



**ACEX**™



**Cyclone**™

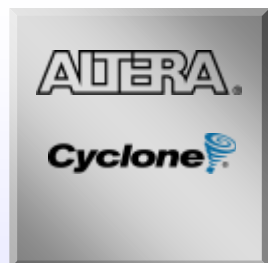


**Cyclone II**™



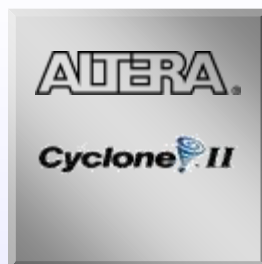
*Low Cost by Design*

# Развитие семейства Cyclone



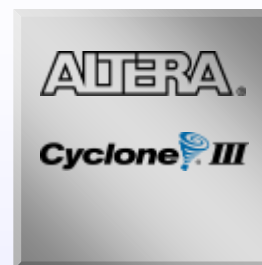
- 2K – 20K logic elements (LEs)
- 295 Kb embedded RAM
- DDR support
- Nios embedded processor

2002



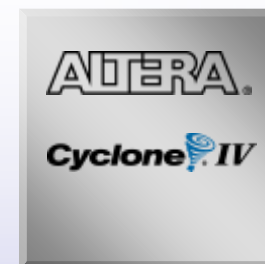
- 5K – 70K LEs
- 1.1 Mb embedded RAM
- 150 18 x 18 multipliers for DSP
- DDR2 support
- Nios II embedded processor

2004



- 50% lower power
- 5K – 200K LEs
- 8 Mb embedded RAM
- 396 18 x 18 multipliers for DSP
- Higher performance DDR2 support
- Nios II embedded processor
- Complete security solution

2007



- Integrated transceivers
- Up to 30% lower power
- Only 2 power supplies
- Integrated PCIe hard IP
- 6K – 150K LEs
- 6.5 Mb of embedded RAM
- Up to 360 multipliers
- Nios II embedded processor

2009

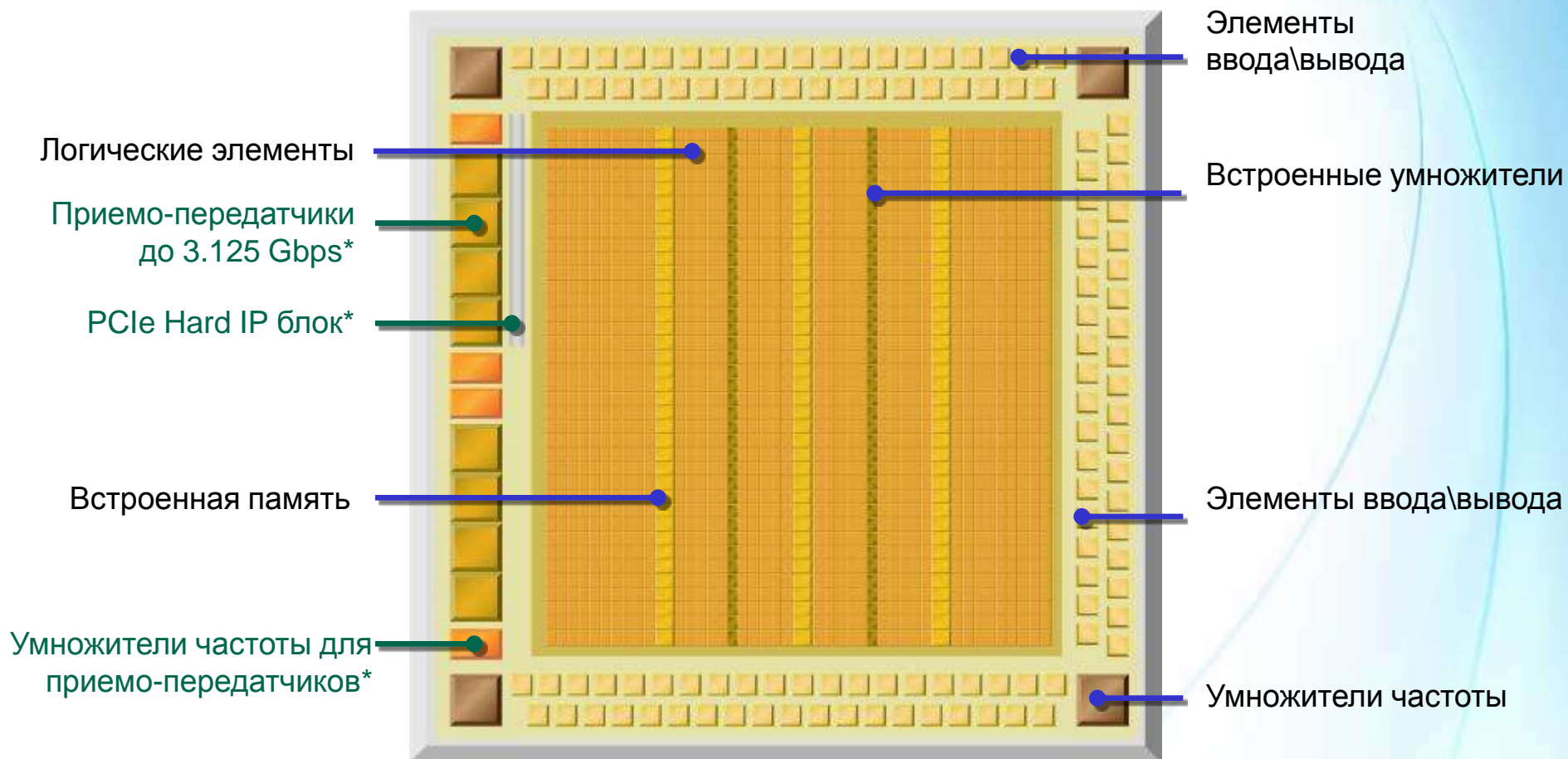
# Два варианта реализации Cyclone IV



Cyclone IV GX	Cyclone IV E
Добавлены встроенные приемо-передатчики (transceivers)	Общего применения



# Структура Cyclone IV GX и E



*\*Дополнительные блоки семейства Cyclone IV GX*

# Состав семейства Cyclone IV E

Микросхема	Логические элементы (тысячи)	Встроенная память (Kb)	18 X 18 умножители	PLLs
EP4CE6	6.2	270	15	2
EP4CE10	10.3	414	23	2
EP4CE15	15.4	504	56	4
EP4CE22	22.3	594	66	4
EP4CE30	28.8	594	66	4
EP4CE40	39.6	1,134	116	4
EP4CE55	55.8	2,340	154	4
EP4CE75	75.4	2,745	200	4
EP4CE115	114.4	3,888	266	4

***Все микросхемы имеют два варианта реализации:  
Vcc\_Core = 1.2 V и 1.0 V***



# Корпуса семейства Cyclone IV E

	E144	M164	U256	F256	U484	F484	F780
Body size Ball spacing	20 x 20 mm 0.5 mm	8 x 8 mm 0.5 mm	14 x 14 mm 0.8 mm	17 x 17 mm 1.0 mm	19 x 19 mm 0.8 mm	23 x 23 mm 1.0 mm	29 x 29 mm 1.0 mm
EP4EC6	91		179	179			
EP4CE10	91		179	179			
EP4CE15	81	89	165	165		343	
EP4CE22	79		153	153		N/A	
EP4CE30						328	532
EP4CE40					328	328	532
EP4CE55					324	324	374
EP4CE75					292	292	426
EP4CE115						280	528

# Варианты реализации Cyclone IV E

	E144	M164	U256	F256	U484	F484	F780
Device	22 x 22 mm 0.5 mm	8 x 8 mm 0.5 mm	14 x 14 mm 0.8 mm	17 x 17 mm 1.0 mm	19 x 19 mm 0.8 mm	23 x 23 mm 1.0 mm	29 x 29 mm 1.0 mm
EP4C6E	-6, -7, -8, i7 -8L, -9L, -i8L		i7N	-6, -7, -8, i7 -8L, -9L, -i8L			
EP4C10E	Same as above		i7N	Same as above			
EP4C15E		i7N	i7N			-6, -7, -8, i7 -8L, -9L, -i8L	
EP4C22E			i7N				
EP4C30E						Same as above	-6, -7, -8, i7 -8L, -9L, -i8L
EP4C40E					i7N		Same as above
EP4C55E					i7N		
EP4C75E					i7N		
EP4C115E							

I = промышленные (Tj = -40 C to 100 C); A = автомобильные (Tj = -40 C to 125 C),  
L = питание ядра 1.0-V

# Коды для заказа Cyclone IV E

EP 4C E 115 F29 C 7 B

EP: Altera

4C: Cyclone IV

E: вариант семейства (E, GX)

115: 6, 10, 15, 22, 30, 40, 55, 75, or 115K число лог. элементов

F29: тип корпуса (F: 1.0 мм.BGA; E: EQFP)/размер корпуса

C: Температурный диапазон (C, I, A)

7: Градация быстродействия

( питание ядра:

- 1.2В: -6, -7, -8, i7

- 1.0В: -8L, -9L, i8L)

B: N : без свинца

Тип корпуса  
число выводов  
Размер корпуса мм

E	144 = "22"
F	256 = "17"
F	484 = "23"
F	780 = "29"

# Состав семейства Cyclone IV GX

Device	KLEs	Total Memory (Mb)	18 X 18 Multipliers	Transceiver I/Os	MPLLs	PLLs	Hard PCIe IP Core
EP4CGX15	14.4	0.5	0	2	2	1	1
EP4CGX22	21.3	0.8	40	4	2	2	1
EP4CGX30	29.4	1.1	80	4	2	2	1
EP4CGX50	49.9	2.5	140	8	4	4	1
EP4CGX75	73.9	4.2	198	8	4	4	1
EP4CGX110	109.4	5.5	280	8	4	4	1
EP4CGX150	149.8	6.5	360	8	4	4	1

# Корпуса семейства Cyclone IV GX

	N148		F169		F324		F484		F672		F896	
	0.5 mm 11 x 11		1.0 mm 14 x 14		1.0 mm 19 x 19		1.0 mm 23 x 23		1.0 mm 27 x 27		1.0 mm 31 x 31	
Device	I/Os	XCV Rs	I/Os	XVC Rs	I/Os	XCV Rs	I/Os	XCV Rs	I/Os	XCV Rs	I/Os	XCV Rs
EP4CGX15	72	2	72	2								
EP4CGX22			72	2	150	4						
EP4CGX30			72	2	150	4	290	4				
EP4CGX50							290	4	310	8		
EP4CGX75							290	4	310	8		
EP4CGX110							270	4	393	8	475	8
EP4CGX150							270	4	393	8	475	8

- XVCRs – встроенные приемо-передатчики

# Варианты реализации Cyclone IV GX

Device	N148	F169	F324	F484	F672	F896
	0.5 mm 11 x 11	1.0 mm 14 x 14	1.0 mm 19 x 19	1.0 mm 23 x 23	1.0 mm 27 x 27	1.0 mm 31 x 31
EP4CGX15	-7, -8, -I7	-6, -7, -8, -I7				
EP4CGX22		-6, -7, -8, -I7	-6, -7, -8, -I7			
EP4CGX30		-6, -7, -8, -I7	-6, -7, -8, -I7	-6, -7, -8, -I7		
EP4CGX50				-6, -7, -8, -I7	-6, -7, -8, -I7	
EP4CGX75				-6, -7, -8, -I7	-6, -7, -8, -I7	
EP4CGX110				-7, -8, -I7	-7, -8, -I7	-7, -8, -I7
EP4CGX150				-7, -8, -I7	-7, -8, -I7	-7, -8, -I7

I = промышленные Tj = -40 C to 100 C

# Коды для заказа Cyclone IV GX

EP 4C GX 150 D F27 C 6 B

EP: Altera

4C: Cyclone IV architecture

GX: вариант семейства (E или GX)

150: 15, 22, 30, 50, 75, 110 or 150K число лог. элементов

D: число приемо-передатчиков

F27: Тип корпуса (F: 1.0 мм BGA или N: QFN)/  
размер корпуса в мм.

C: Температурный диапазон (C или I)

6: Градация быстродействия (-6, -7 или -8)

B: N – без свинца

Приемо-  
передатчиков

B	2
C	4
D	8

Тип корпуса  
число выводов  
Размер корпуса мм

N	148 = "11"
F	169 = "14"
F	324 = "19"
F	484 = "23"
F	672 = "27"
F	896 = "31"



# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1

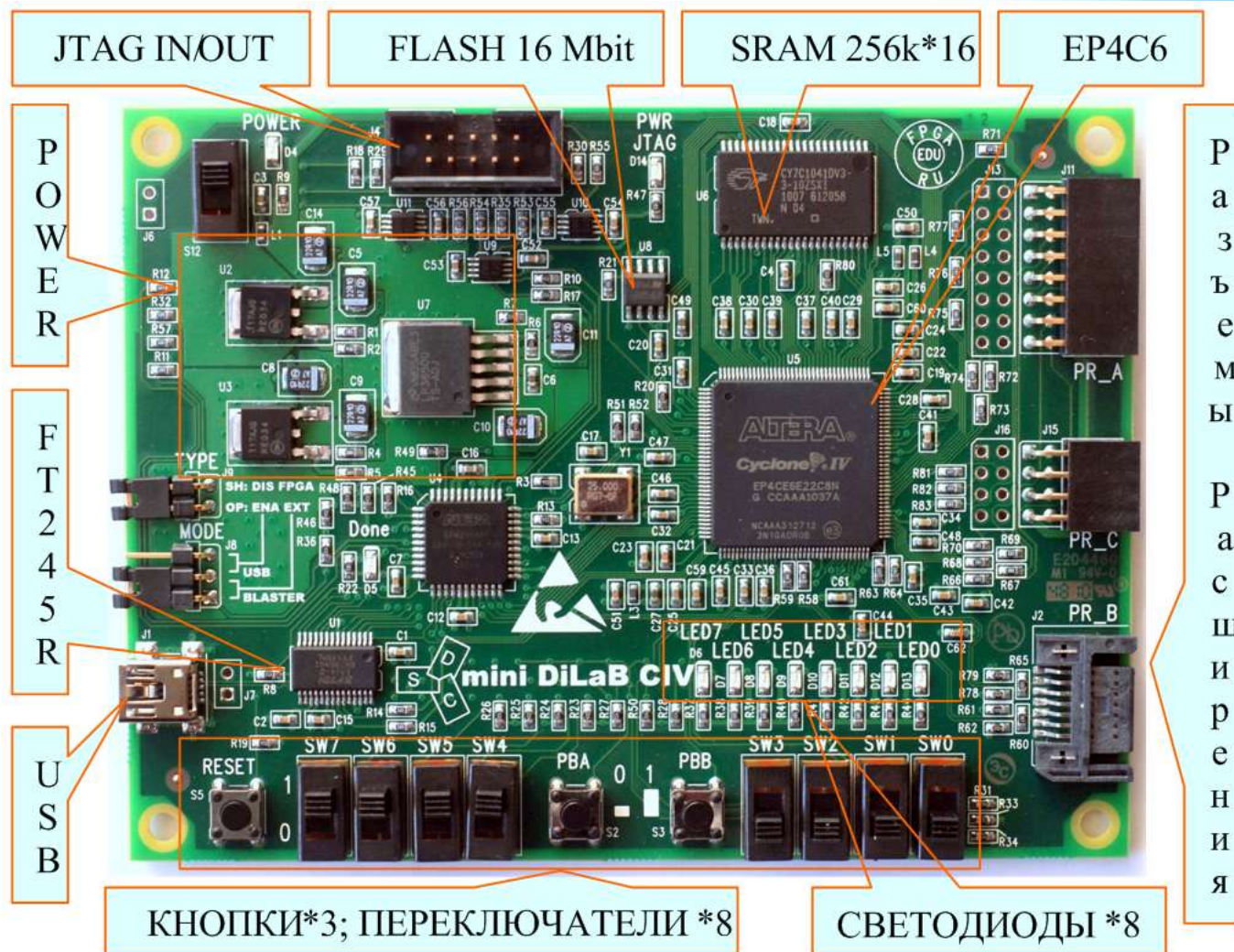
# Стенд miniDiLaB-CIV

Предназначен для:

- проведения лабораторных работ, выполняемых при изучении:

- пакета *Quartus II*,
- СБИС *Cyclone IV E*,
- языка *VHDL*
- Процессора *Nios*

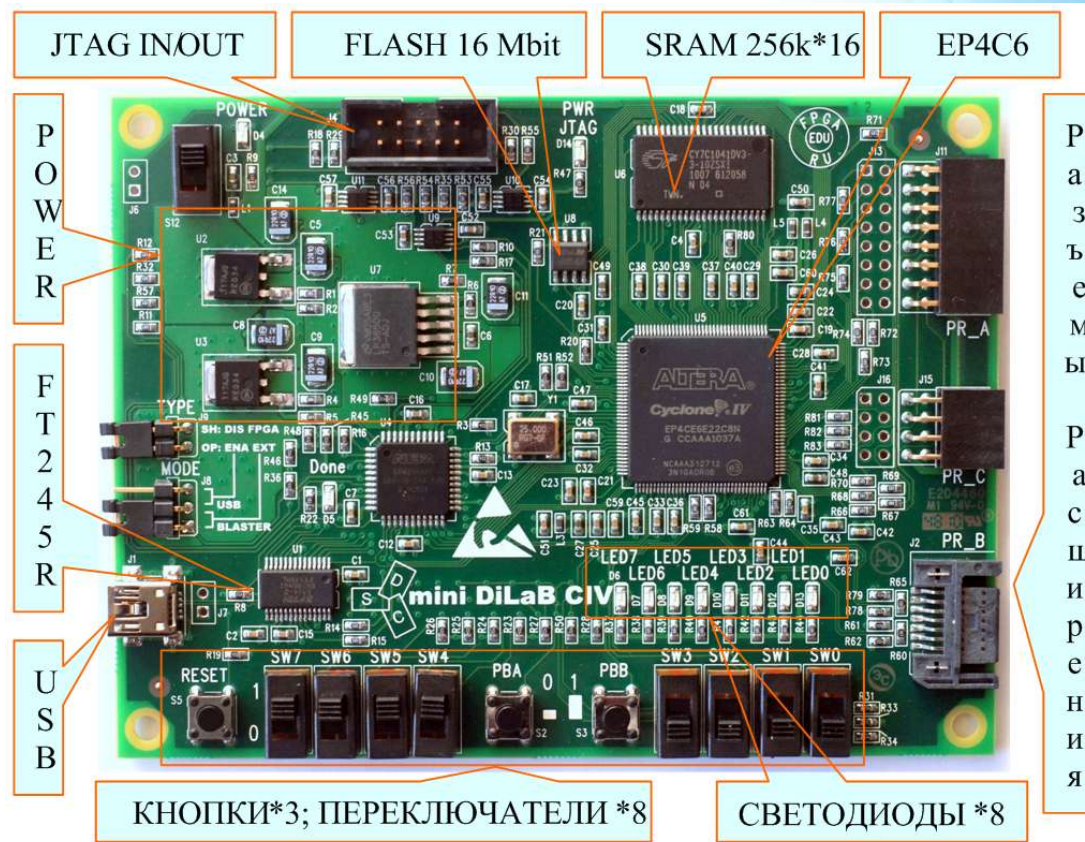
- макетирования



Р а з ъ е м ы Р а с ш и р е н и я

# Основные характеристики

- Размер: 120\*90 мм.
- FPGA: EP4C6E144
- Конфигурационная память: 16 Mbit;
- ОЗУ: 256k\*16;
- Тактовый генератор 25МГц;
- 3 кнопки;
- 8 переключателей;
- 8 светодиодов;
- Разъемы расширения
- USB порт
- Встроенный USB Blaster
- Питание - от USB разъема;





# Режимы работы

## Конфигурация, отладка, программирование

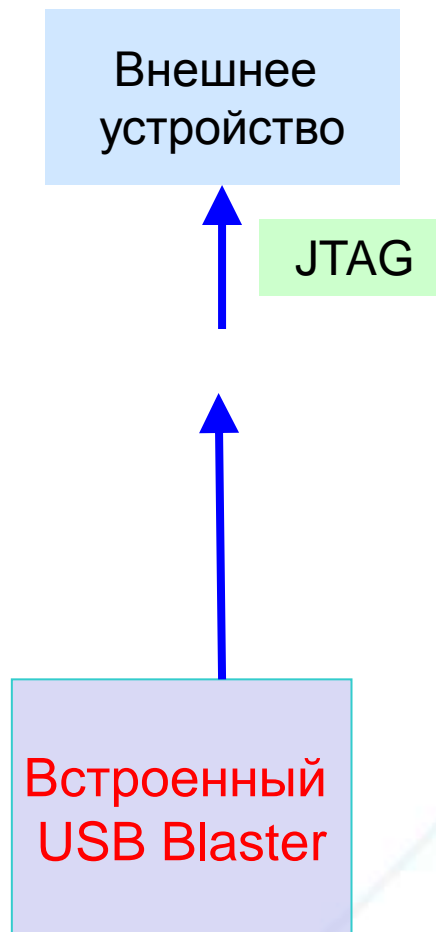
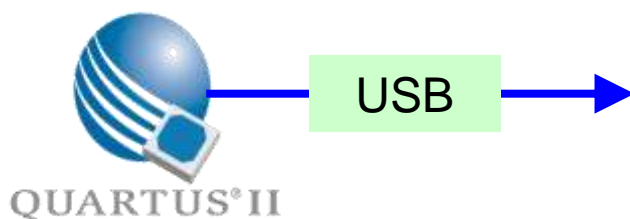
- Плата соединяется с USB разъемом компьютера
- Встроенный USB Blaster позволяет из пакета QII:
  - Конфигурировать СБИС CIV
  - Отлаживать СБИС CIV с использованием SignalTapII
  - Программировать конфигурационную память СБИС CIV
  - Отлаживать NIOSII процессора.
- Питание платы - от USB разъема



Встроенный  
USB Blaster

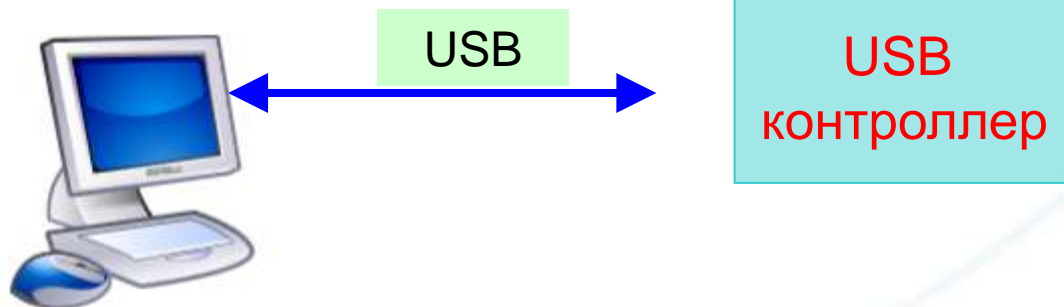
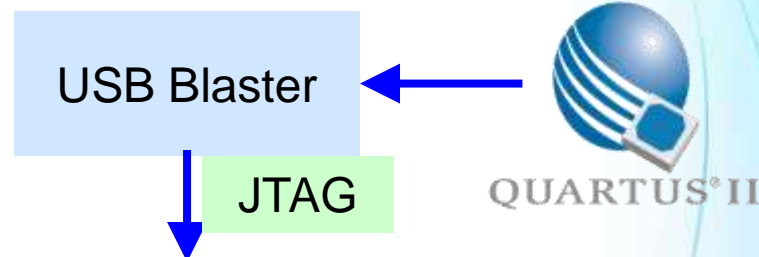
# Режимы работы USB Blaster

- Плата подсоединяется к USB разъему компьютера
- Плата используется как обычный USB Blaster, позволяющий из пакета QuartusII конфигурировать и отлаживать внешние устройства
- Питание платы - от USB разъема



# Режимы работы USB устройство

- Плата подсоединяется к USB разъему компьютера
- Для конфигурирования и отладки используется внешний USB Blaster.
- Встроенный USB контроллер обеспечивает возможность подключения к PC по USB интерфейсу.
- Питание платы от USB разъема



# Поставка платы miniDiLaB-CIV

## ■ Где заказать:

сайт [altera.ru](http://altera.ru)\оборудование и материалы для обучения

## ■ Комплект поставки

- Плата
- USB (A-miniB) кабель;
- Кабель для программирования внешних устройств;
- DVD диск.

## Содержимое DVD диска

- *Дистрибутивы - Quartus II Web Edition, ModelSim-Altera;*
- *Материалы для самообучения (на русском языке):*
  - *Пакет QuartusII и СБИС CycloneIV*
    - *Лекции - слайды в pdf формате;*
    - *Лабораторные работы – описания, заготовки, решения.*
  - *Набор тестов (с исходными кодами) для проверки платы;*
  - *Описание платы.*



# Средства автоматизации проектирования фирмы Altera



# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- **Пакет QII: введение**
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1

# Пакет Quartus II

- Интегрированное средство проектирования
  - Текстовые и графический способы ввода проекта
  - Синтез (Logic synthesis)
  - Трассировка СБИС (Place & route)
  - Моделирование (Simulation) – ModelSim Altera
  - Анализ временных параметров и потребляемой мощности (Timing & power analysis)
  - Программирование СБИС (Device programming)

# Операционные системы

- Поддержка операционных систем:
  - Microsoft Windows XP/Vista/7 (32 and 64 bit)
  - Red Hat Enterprise Linux 4.0 and 5.0 (32 and 64 bit)
  - SUSE Linux Enterprise 10, 11 (32 and 64 bit)
  - Cent OS 4.0 and 5.0 (32 and 64 bit)

# Две версии пакета Quartus II



## Subscription Edition



## Web Edition

Микросхемы	Все	Выборочно
Возможности	100%	95%
Поставка	Internet & DVD	Internet & DVD
Стоимость	Paid	Free (не требует лицензии)

[Feature Comparison available on Altera web site](#)

# Окно приветствия при запуске QII



# Менеджер пакета Quartus II

Меню менеджера пакета

Панель инструментов

Навигатор проекта

Окно состояния процедуры компиляции проекта

Окно задач

Окно процессора сообщений

The screenshot displays the Quartus II IDE with the 'Compilation Report - Flow Summary' window open. The interface includes a menu bar, a toolbar, a project navigator on the left, a status window, a task window, and a message window at the bottom.

**Project Navigator:** Shows the project hierarchy for 'lab1'.

Entity	Logic Cells	Dedicated Logic Registers
Cyclone II EP2C8K10F256C8	102 (0)	56 (0)
lab1	84 (84)	56 (56)
LCD_Display:inst1	18 (18)	0 (0)

**Status Window:** Shows the progress of the compilation process.

Module	Progress %	Time
Full Compilation	100 %	00:00:12
Analysis & Synthesis	100 %	00:00:03
Fitter	100 %	00:00:05
Assembler	100 %	00:00:02

**Task Window:** Lists the tasks performed during the compilation.

Task	Time
Start Project	
Advisors	
Create Design	
Assign Constraints	
Compile Design	00:00:12
Analysis & Synthesis	00:00:03

**Compilation Report - Flow Summary:** Provides a detailed summary of the compilation process.

**Flow Summary:**

- Legal Notice
- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- Timing Analyzer

**Project Details:**

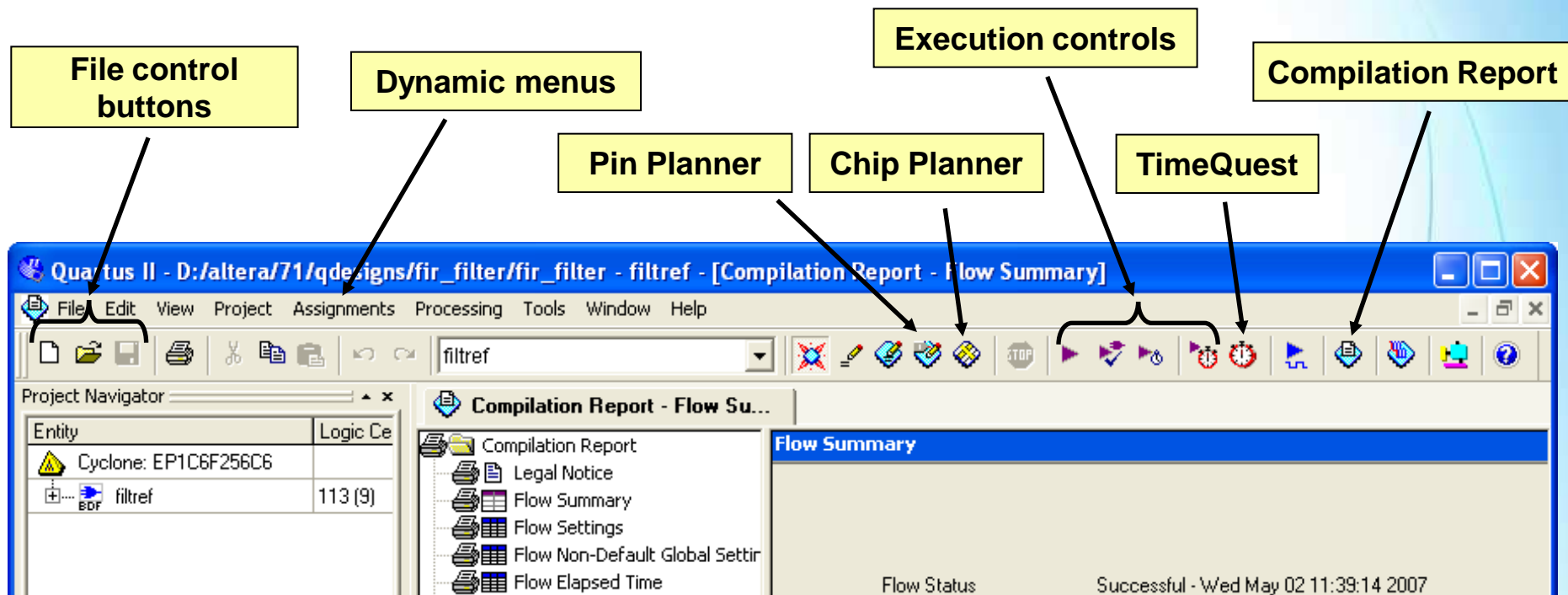
Property	Value
Revision Name	lab1
Top-level Entity Name	lab1
Family	Cyclone II
Device	EP2C8K10F256C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	102 / 8,256 (1 %)
Total combinational functions	102 / 8,256 (1 %)
Dedicated logic registers	56 / 8,256 (< 1 %)
Total registers	56
Total pins	11 / 182 (6 %)
Total virtual pins	0
Total memory bits	0 / 165,888 (0 %)

**Message Window:** Displays messages from the compilation process.

Info: too from clock "clk\_25mhz" to destination pin "lodbuff\_rs" through register "LCD\_Display:inst1lod\_rs" is 9.932 ns  
Info: Quartus II Classic Timing Analyzer was successful. 0 errors, 1 warning  
Info: Quartus II Full Compilation was successful. 0 errors, 3 warnings



# Панель инструментов

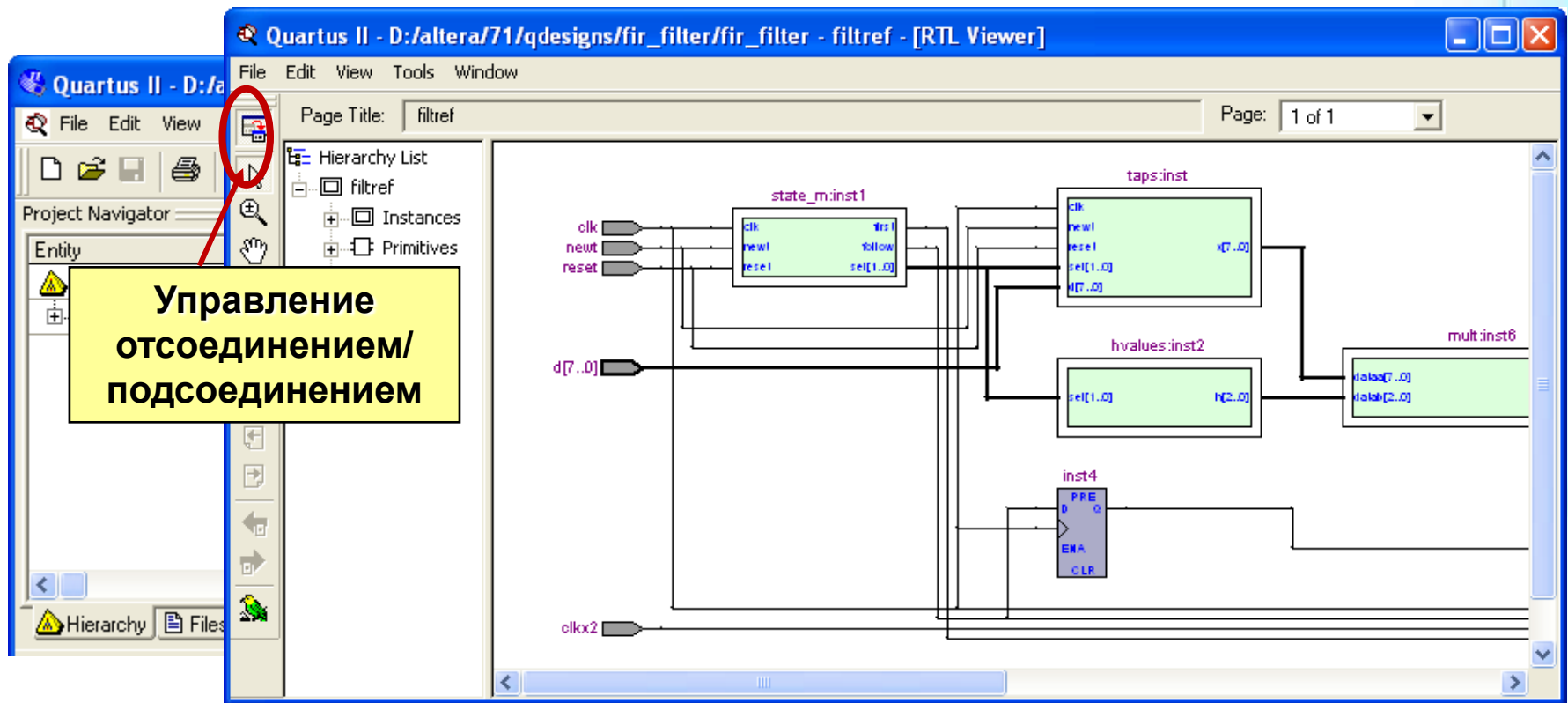


**Сбросить настройки:**

1. **Tools ⇒ Customize ⇒ Toolbars ⇒ Reset All**
2. **Restart Quartus II**

# Отсоединяемые (Detachable) окна

- «Отсоединение» окон от менеджера пакета Quartus II (Window menu  $\Rightarrow$  Detach/Attach Window)



# Советы и приемы (Tips & Tricks Advisor)

Quartus II - [Tips & Tricks]

File Edit Tools Window

Tips & Tricks

- What's New in this Release
- Quartus II Features
  - Detach windows from the frame in the Quartus II s
  - Get advice on optimizing your design and the featur
  - Get an Early Timing Estimate**
  - Use Incremental Compilation
  - Use SignalProbe to quickly pull out internal signals to
  - Use the PowerPlay Power Analyzer to check for pow
  - Use Netlist Viewers to view your design schematic
- Software Options
  - Generate Compact Report Table Format
  - Additional report file options
  - Run Process at Lower Priority
  - MAX+PLUS II Look and Feel
  - Add Tcl commands to toolbar buttons
  - Update assignments to disk immediately
  - Suppress Messages
  - Color messages during command-line compilation
  - Use an External Text Editor
  - Change the Tooltip Delay
- Project Settings
  - Enable Version-Compatible Database
  - Hide Entity Name
  - Specify the output directory for compilation results
  - Specify what is done during a normal compilation
  - Choose how the Fitter will process your design
  - Use Physical Synthesis to improve performance
  - Use Synthesis Netlist Optimizations to improve perf
  - Use the Design Assistant to check for errors

Get an Early Timing Estimate

Recommendation	You can get an early timing estimate without running a full compilation.
Description	You can use the Start Early Timing Estimate command on the Processing menu to get a full timing report based on estimated delays for the design. This command can run the Fitter up to ten times faster than a full fit and produces estimated delays within 20% of what a full compilation can achieve.
Action	Use the Start Early Timing Estimate command on the Processing menu to run an early timing estimate. You can specify settings for the early timing estimate in the Settings dialog box when a project is open. <a href="#">Open Settings dialog box - Early Timing Estimate page</a>

For Help, press F1

Help menu ⇒ Tips & Tricks

Содержит полезные советы и приемы эффективной работы с пакетом QuartusII

# Встроенная система помощи

Quartus II Help Version 10.0 - Mozilla Firefox

File Edit View History Bookmarks Tools Help

Search Contents Index Forums

Quartus II Introduction

What's New in Quartus II

Getting Started with Quartus II

Managing Projects

Using Project Revisions

Archiving Projects

Project Database File Export and

Using Advisors for Design Optimi

Viewing Reports and Messages

Creating Designs

Using HDL with the Quartus II Sc

Using Altera Megafunctions

Creating System-Level Designs v

Assigning Constraints

Compiling Designs

Running Timing Analysis

Achieving Timing Closure

Power Estimation and Analysis

Signal Integrity Analysis

Designing with LogicLock Design

Welcome > Quartus II Introduction

Welcome to the Quartus II Software

The Quartus II development software provides a complete design environment for sv  
on-a-programmable-chip (SOPC) design. Regardless of whether you are using a  
workstation, the Quartus II software ensures easy design entry, programming,  
programming. The following sections describe the general capabilities of the  
software.

Quartus II Highlights:

Design Capabilities:

NativeLink Integration with other EDA Tools

Click any of the following flow icons for more information about that part of the design flow.

Design Entry

Includes block-based design,  
system-level design &  
software development

Show All

Показать все разделы

Форумы Altera

# Окно задач (Tasks)

- Упрощает доступ к типичным задачам, организованным в процедуры проектирования
- Определены три процедуры

## Full Design Flow

Все этапы проектирования

Tasks	
Flow: Full Design	
Task	Time
Start Project	
Open New Project Wizard	
Open Existing Project	
Create Revision	
Specify Project Libraries	
Import Database	
Advisors	
Create Design	
Assign Constraints	
Compile Design	
Program Device (Open Programmer)	
Verify Design	
Export Database	
Archive Project	

## Compilation Flow

Компиляция

Tasks	
Flow: Compilation	
Task	Time
Compile Design	
Analysis & Synthesis	
Fitter (Place & Route)	
Assembler (Generate programming files)	
Classic Timing Analysis	
EDA Netlist Writer	
Program Device (Open Programmer)	

## Early Timing Estimate

Оценка временных параметров

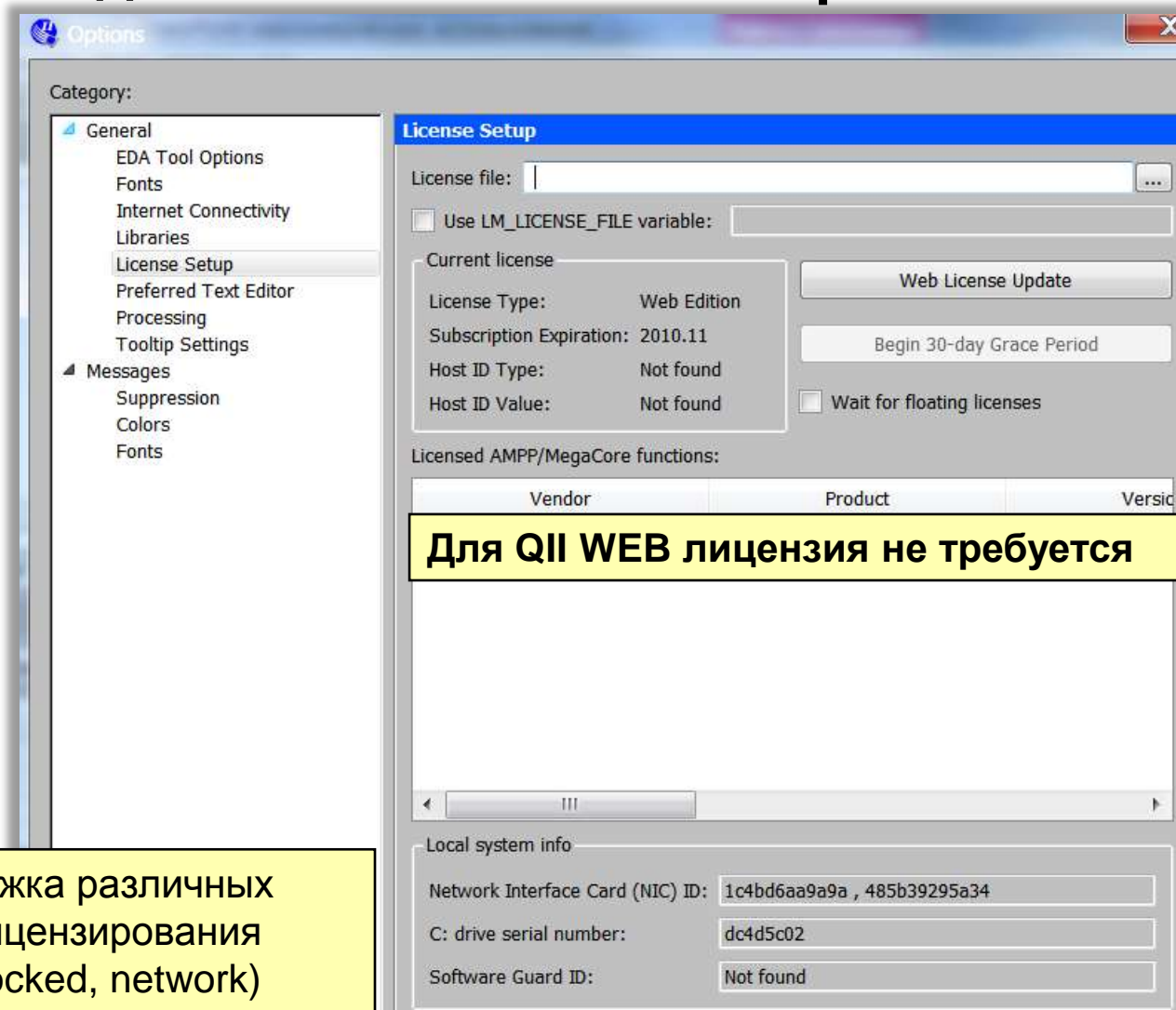
Tasks	
Flow: Early Timing Estimate with Synthesis	
Task	Time
Analysis & Synthesis	00:00:28
Partition Merge	
Early Timing Estimate with Synthesis	
Fitter (Place & Route)	00:00:25
TimeQuest Timing Analysis	00:00:11

**Запуск любой задачи процедуры –  
двойным щелчком левой клавиши  
мыши**

View	Project	Assignments	Processing	Tools	Window
Utility Windows					
Project Navigator			Alt+0		
Node Finder			Alt+1		
Tcl Console			Alt+2		
Messages			Alt+3		
Status			Alt+4		
Change Manager			Alt+5		
Tasks			Alt+6		

# Настройка лицензии

## ■ Команда: Tools => License Setup



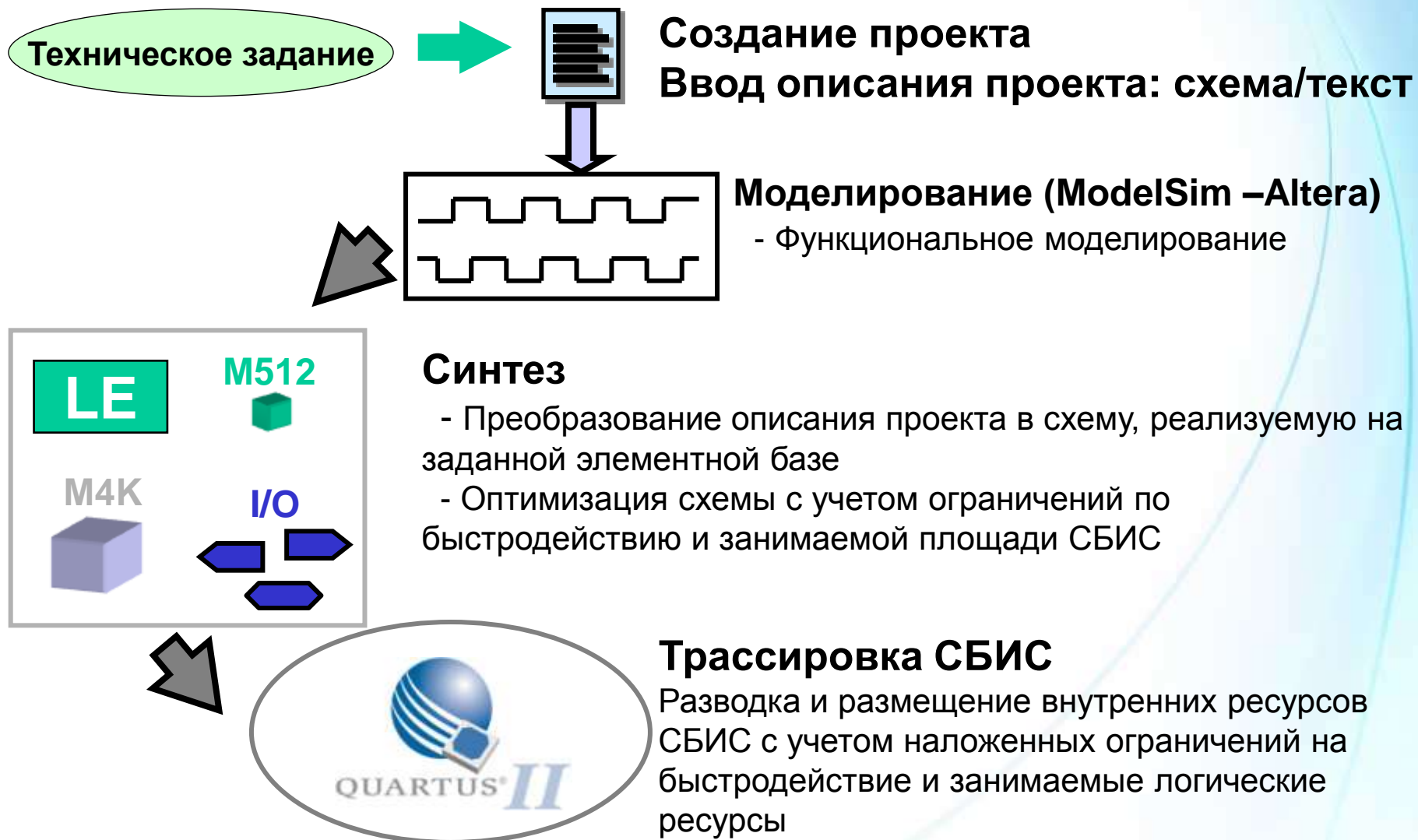
Поддержка различных  
схем лицензирования  
(node-locked, network)

# План

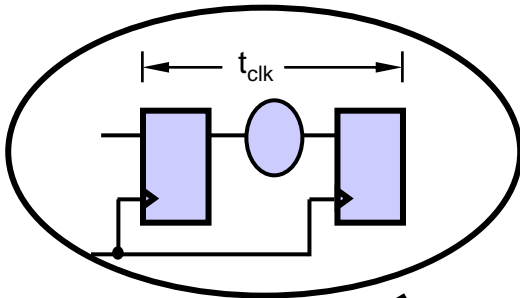
- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1



# Процедура проектирования в QII (1)

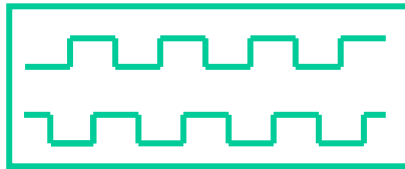


# Процедура проектирования в QII (2)



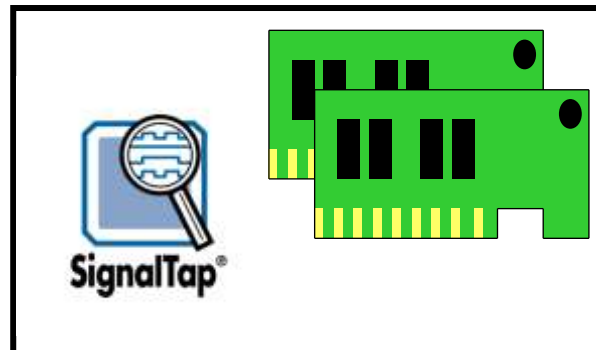
## Временной анализ

- проверка соответствия созданной СБИС требованиям к быстродействию



## Моделирование (ModelSim –Altera)

- на вентиляном уровне
- проверка правильности функционирования проекта после этапов синтеза, разводки и размещения



**Программирование СБИС.  
Тестирование и отладка  
СБИС в составе системы  
(ISP, SignalTap II )**

# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- **Пакет QII: проект**
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1

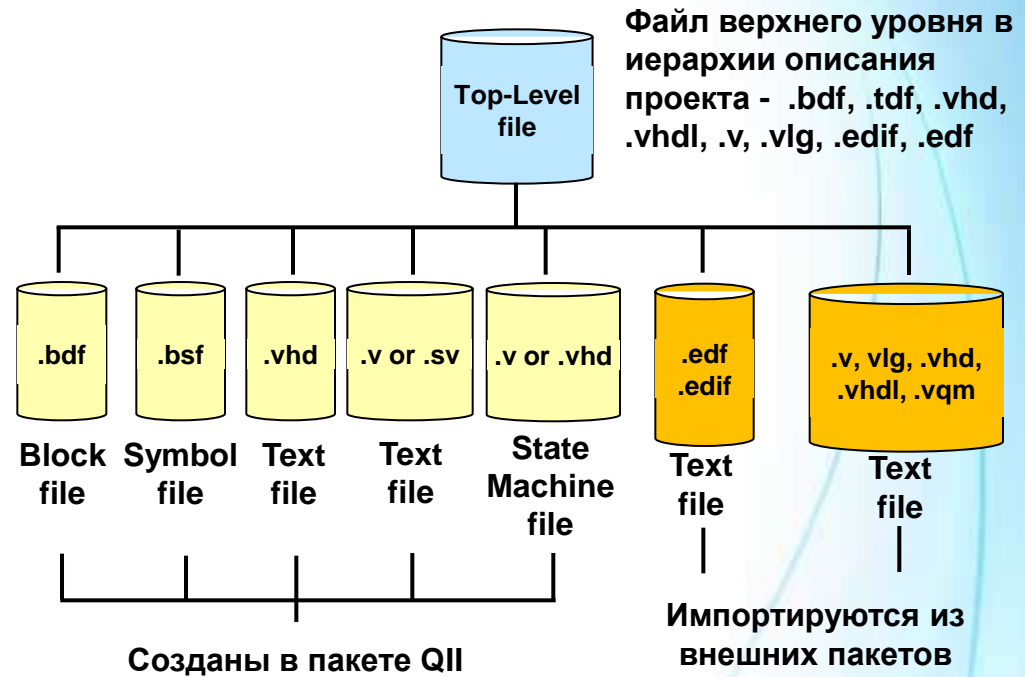
# Проект в пакете QII

- Под термином «проект» понимается набор файлов, связанных с проектируемым модулем, и набор соответствующих библиотек.
  - Файлы могут быть:
    - Логическими – описывающими алгоритм работы модуля.
    - Вспомогательными – содержащими дополнительную информацию о проектируемом модуле
  - Проект может содержать:
    - несколько логических файлов, образующих иерархическое описание модуля (при этом один из логических файлов должен быть файлом верхнего уровня иерархии описаний),
    - один логический файл (по умолчанию являющийся файлом верхнего уровня в иерархии описаний).
- Проект может быть создан с помощью
  - Мастера **New Project Wizard**

# Файлы с описанием проекта

## ■ Созданные в QII

- Текстовый редактор
  - VHDL
  - Verilog or SystemVerilog
- Схемный редактор
  - Block Diagram File
- Редактор КА
  - Создается HDL файл
- Редактор памяти
  - HEX
  - MIF

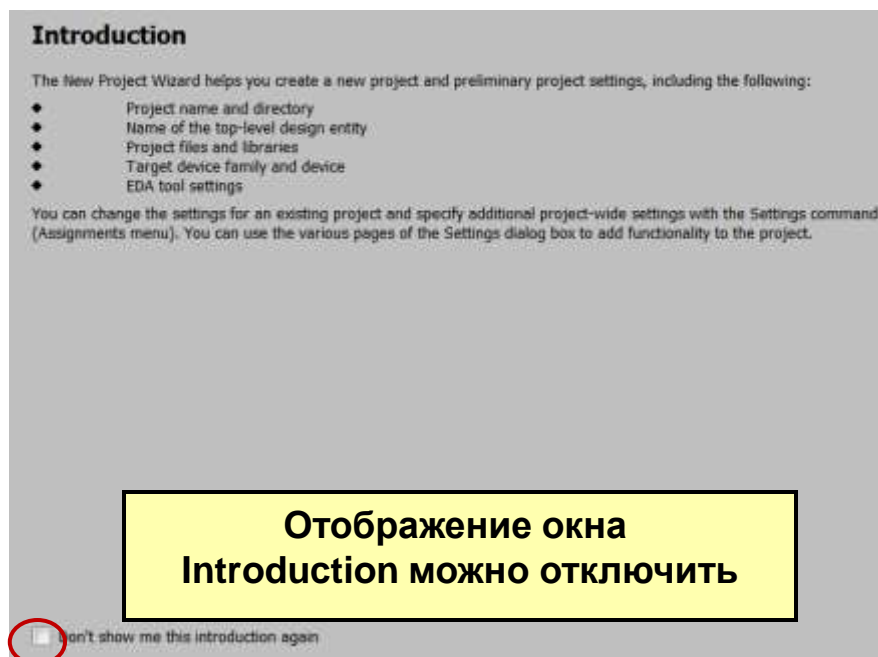
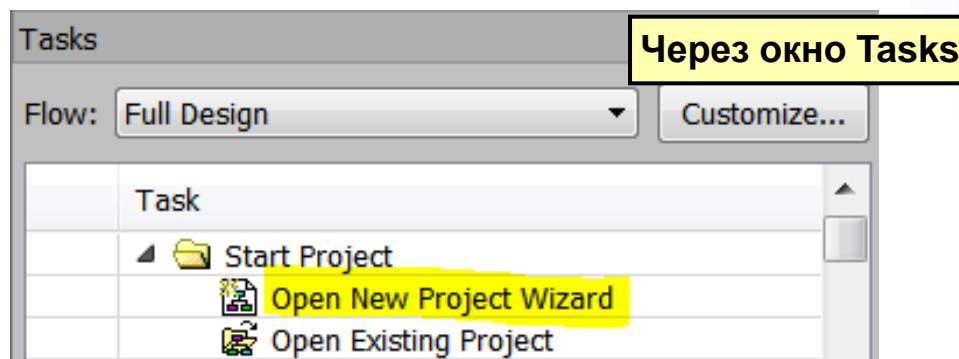
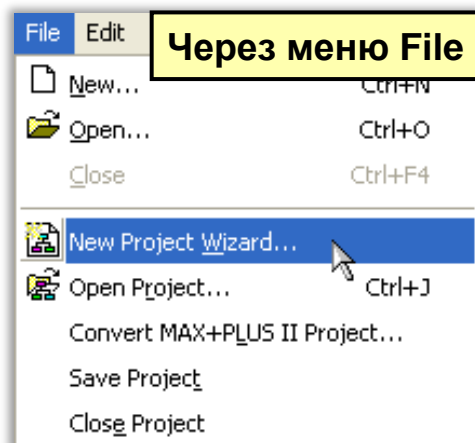


## ■ Импортированные из внешних пакетов

- EDIF 2 0 0
- Verilog Quartus Mapping (.VQM)

## ■ Возможно смешение типов файлов в иерархии описания проекта

# Запуск мастера New Project Wizard





# Мастер New Project Wizard: задание папки, названия проекта

## Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?

L:\HDD\work\Altera\my\_trainings\CIV\labs\lab\_new\_project\_wizard

Укажите рабочую папку

What is the name of this project?

top\_level

Задайте имя проекта.

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

top\_level

Задайте имя файла верхнего уровня в иерархии описаний проекта.

Use Existing Project Settings...

Создание нового проекта  
на основе существующих  
настроек

# Мастер New Project Wizard: подключение файлов и библиотек

## Add Files [page 2 of 5]

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.  
Note: you can always add design files to the project later.

File name:  ...

File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version
-----------	------	---------	-----------------------------	-------------

Specify the path names of any non-default libraries.

К проекту можно добавить файлы следующих типов:

- Graphic (.BDF, .GDF)
- AHDL
- VHDL
- Verilog
- EDIF

### Пояснения:

- ☐ Файлы, находящиеся в рабочей папке проекта, добавлять необязательно
- ☐ Если имя файла и имя модуля верхнего уровня (***filename & entity name***) не совпадают, то следует добавить файл с описанием модуля верхнего уровня иерархии

Используйте эту кнопку для указания дополнительных библиотек:

- ☐ Пользовательских библиотек
- ☐ MegaCore®/AMPPSM libraries
- ☐ Pre-compiled VHDL packages

# Мастер New Project Wizard: выбор компонента

## Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family

Family: Cyclone IV E

Devices: **Укажите семейство СБИС**

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any QFP

Pin count: 144

Speed grade: 8

☐ HardConv compatible only

**фильтр упрощает поиск компонента**

**режим выбора типа СБИС:**

- ☐ Автоматический выбор компилятором
- ☐ Непосредственное назначение

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit eleme
EP4CE6E22C8	1.2V	6272	92	276480	30
<b>Выбранный компонент</b>		10320	92	423936	46
		15408	82	516096	112

# Мастер New Project Wizard: проверка заданных параметров

## ■ Проверьте заданные Вами параметры

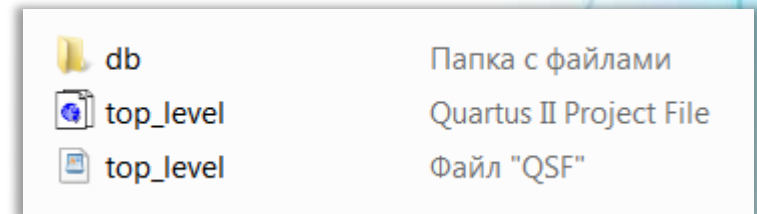
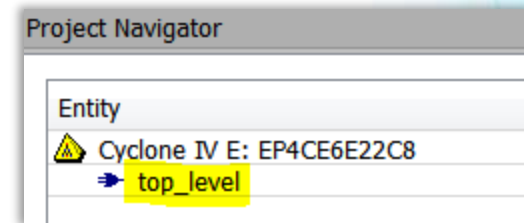
### Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:	L:\HDD\work\Altera\my_trainings\CIV\labs\lab_new_project_wizard
Project name:	top_level
Top-level design entity:	top_level
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone IV E
Device:	EP4CE6E22C8
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	ModelSim-Altera (VHDL)
Timing analysis:	<None> (<None>)
Operating conditions:	
VCCINT voltage:	1.2V
Junction temperature range:	0-85 °C

# Мастер New Project Wizard: результаты

- В окне Project Navigator отображается имя созданного проекта
- В рабочей папке проекта создаются:
  - Файл Quartus II Project File (.QPF)
  - Файл Quartus II Settings File (.QSF)
  - Папка db – рабочая папка пакета



# Файлы QPF и QSF

## ■ Файл QPF

- Версия пакета
- Дата создания
- Версия проекта

```
QUARTUS_VERSION = "10.1"  
DATE = "12:54:19  March 30, 2011"  
  
# Revisions  
  
PROJECT_REVISION = "top_level"
```

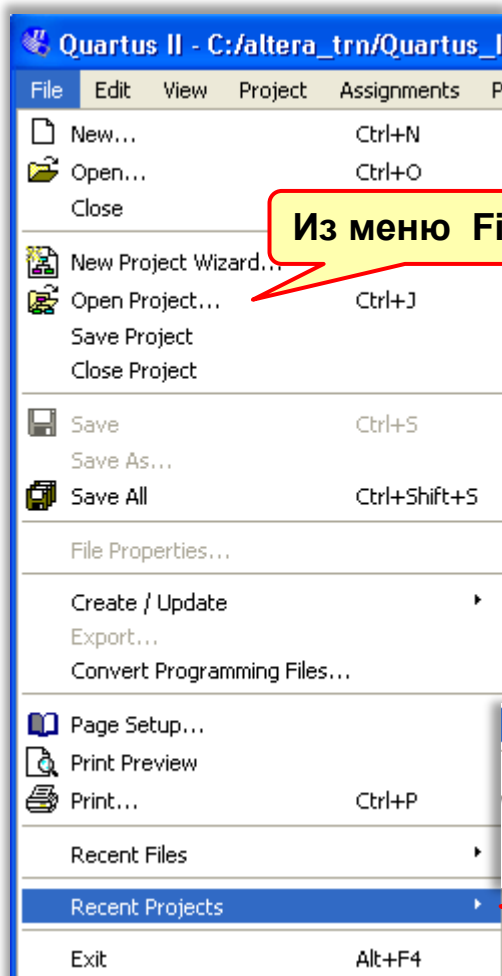
## ■ Файл QSF:

- Хранит все настройки и назначения
- Использует Tcl синтаксис
- Можно править в любом текстовом редакторе

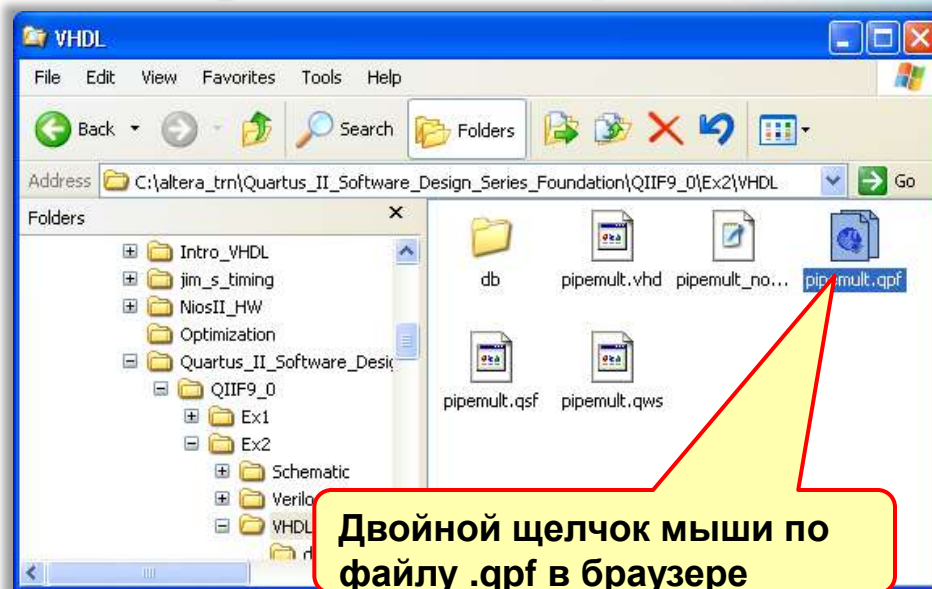
```
set_global_assignment -name FAMILY "Cyclone IV E"  
set_global_assignment -name DEVICE EP4CE6E22C8  
set_global_assignment -name TOP_LEVEL_ENTITY top_level  
set_global_assignment -name ORIGINAL_QUARTUS_VERSION "10.1 SP1"  
set_global_assignment -name PROJECT_CREATION_TIME_DATE "12:54:19  MARCH  
30, 2011"  
set_global_assignment -name LAST_QUARTUS_VERSION "10.1 SP1"  
set_global_assignment -name MIN_CORE_JUNCTION_TEMP 0  
set_global_assignment -name MAX_CORE_JUNCTION_TEMP 85  
set_global_assignment -name DEVICE_FILTER_PACKAGE "ANY QFP"  
set_global_assignment -name DEVICE_FILTER_PIN_COUNT 144  
set_global_assignment -name DEVICE_FILTER_SPEED_GRADE 8  
set_global_assignment -name ERROR_CHECK_FREQUENCY_DIVISOR 1  
set_global_assignment -name NOMINAL_CORE_SUPPLY_VOLTAGE 1.2V  
set_global_assignment -name EDA_SIMULATION_TOOL "ModelSim-Altera (VHDL)"  
set_global_assignment -name EDA_OUTPUT_DATA_FORMAT VHDL -section_id  
eda_simulation
```



# Как открыть существующий проект



Из меню File

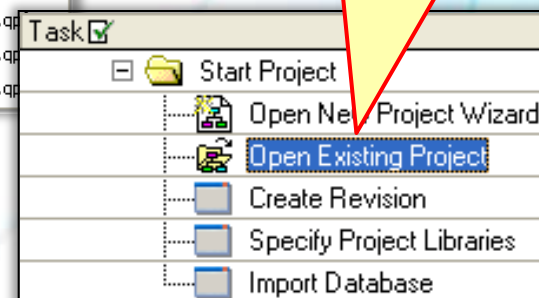


Двойной щелчок мыши по файлу .qpf в браузере

- 1 C:\altera\_trn\Quartus\_II\_Software\_Design\_Series\_Foundation\QIIF9\_0\Ex1\VHDL\pipemult.qpf
- 2 C:\altera\_trn\Quartus\_II\_Software\_Design\_Series\_Foundation\QIIF9\_0\Ex4\VHDL\pipemult.qpf
- 3 C:\altera\_trn\Quartus\_II\_Software\_Design\_Series\_Foundation\QIIF9\_0\Ex2\VHDL\pipemult.qpf
- 4 C:\altera\_trn\Quartus\_II\_Software\_Design\_Series\_Foundation\QIIF9\_0\Ex6\VHDL\pipemult.qpf
- 5 C:\altera\_trn\Quartus\_II\_Software\_Design\_Series\_Foundation\QIIF9\_0\Ex5\VHDL\pipemult.qpf

Выбрать из текущих проектов

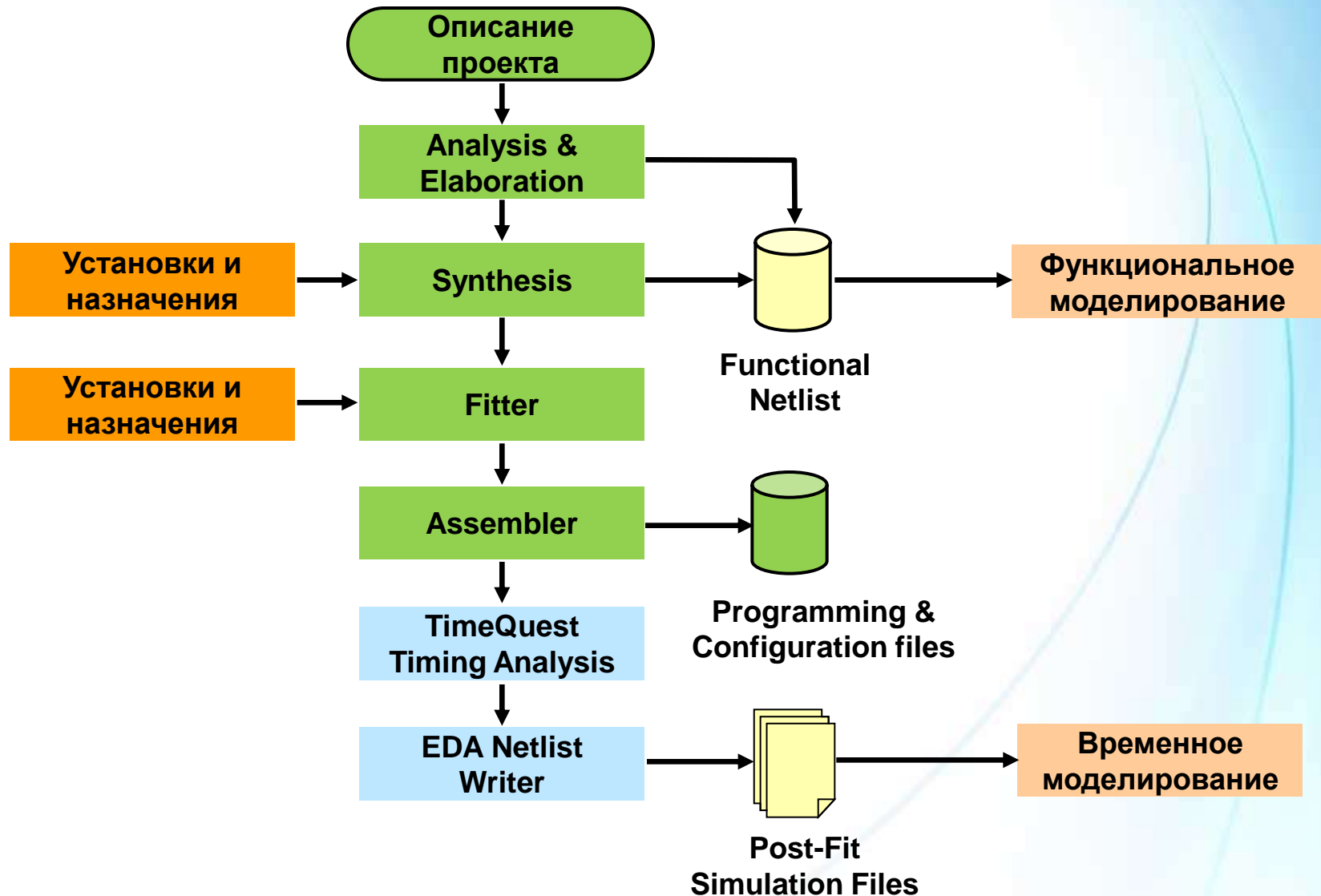
Команда в окне задач



# План

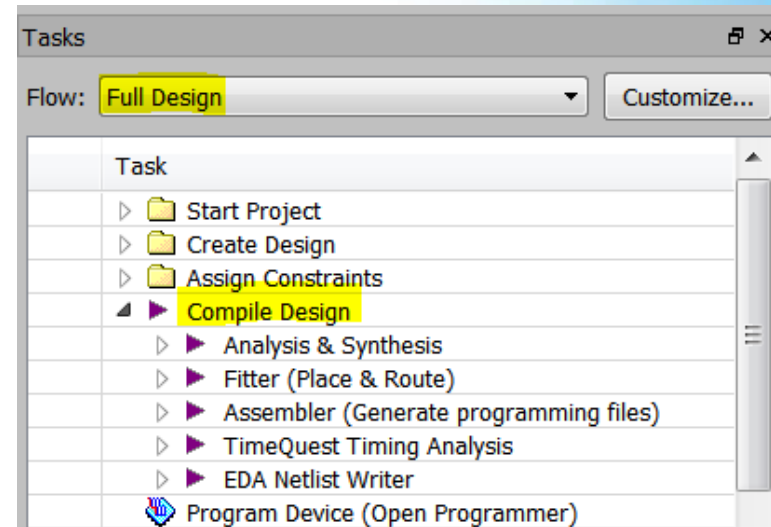
- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- **Пакет QII: компиляция проекта;**
- Пакет QII: конфигурирование СБИС
- Упражнение 1

# Процедура компиляции проекта в QII



# Запуск компиляции

- В окне задач (**Tasks**) выберите процедуру **Full Design** и двойным щелчком левой клавиши мыши по команде Compile Design запустите полную компиляцию проекта.
- В процессе компиляции осуществляется:
  - Analysis & Synthesis - проверка синтаксиса, синтез с оптимизацией площади и быстродействия,
  - Fitter - трассировка СБИС с оптимизацией площади и быстродействия,
  - Assembler - получение файла для конфигурирования СБИС – pof(sof),
  - TimeQuest Timing Analysis – создание временной модели СБИС и временной анализ
  - EDA Netlist Writer - получение модели с временными параметрами СБИС для внешних средств моделирования (если выбран такой пакет).
  - Формирования файла с детальным отчетом о всех этапах компиляции проекта.



# Результаты компиляции

**Project Navigator**

Entity

- Cyclone IV E: EP4CE6E22C8
  - lab1
    - counter\_high:inst1

Hierarchy | Files | Design Units

**Tasks**

Flow: Full Design

Task

- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate programming files)
- TimeQuest Timing Analysis
- EDA Netlist Writer
- Program Device (Open Programmer)
- Verify Design

**Table of Contents**

- Flow Summary
- Flow Settings
- Flow Non-Default Gl
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing A

**Flow Summary**

Flow Status	Successful - Wed Mar 30 14:
Quartus II Version	10.1 Build 197 01/19/2011 S
Revision Name	lab1
Top-level Entity Name	lab1
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	32 / 6,272 ( < 1 % )
Total combinational functions	32 / 6,272 ( < 1 % )
Dedicated logic registers	23 / 6,272 ( < 1 % )
Total registers	23
Total pins	19 / 92 ( 21 % )
Total virtual pins	0
Total memory bits	0 / 276,480 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 30 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

**Обобщенная информация о результатах компиляции**

Full Compilation was successful (8 warnings)

**Messages**

Type Message

- Info: Design is not fully constrained for set
- Info: Design is not fully constrained for hol
- Info: Quartus II TimeQuest Timing Analyzer wa
- Info: Quartus II Full Compilation was successful. 0 errors, 8 warnings

**Окно отображает информацию об ошибках, предупреждениях, сообщениях**

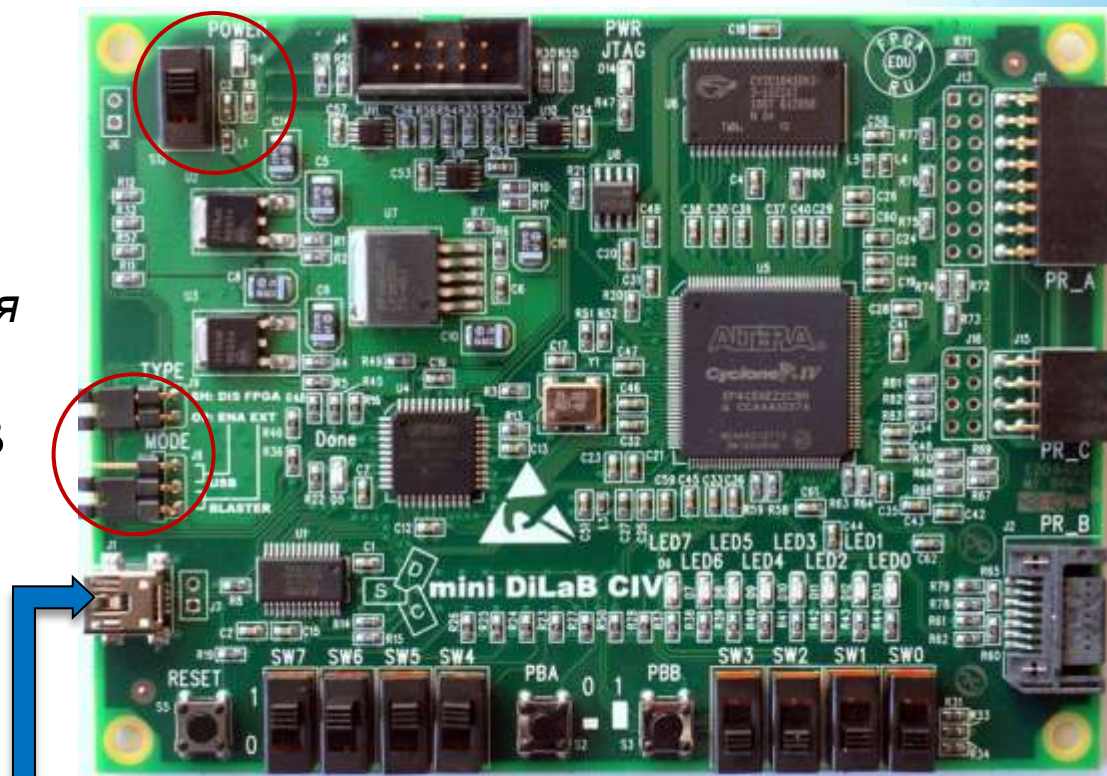
# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- **Пакет QII: конфигурирование СБИС**
- Упражнение 1



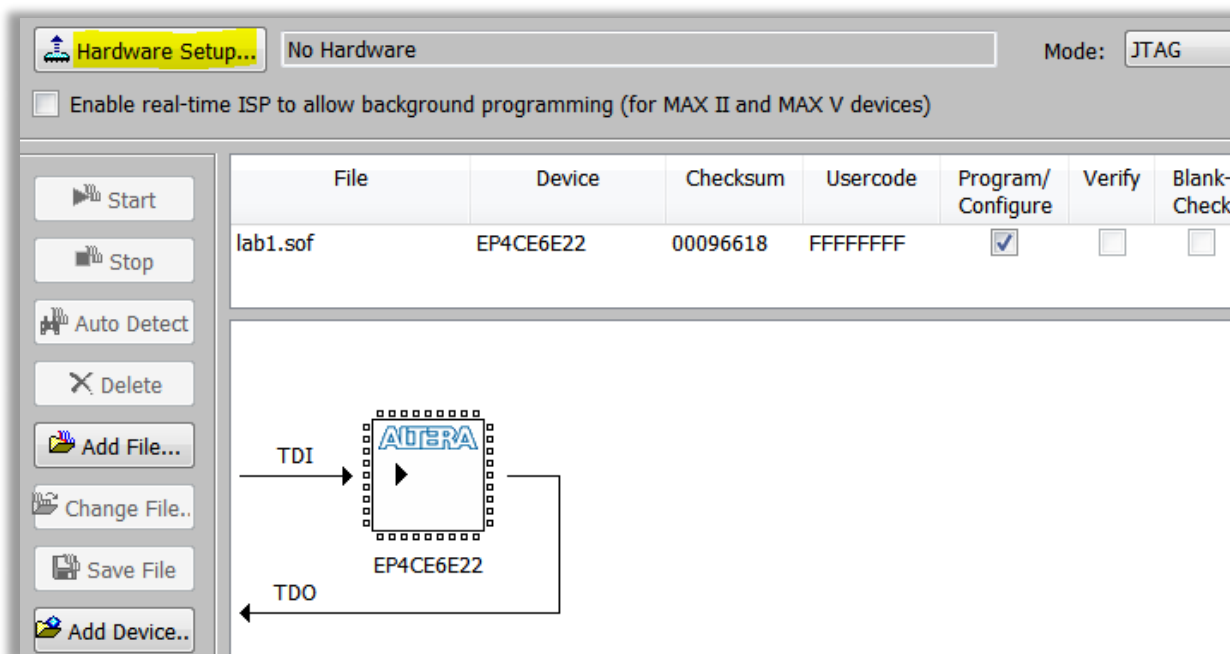
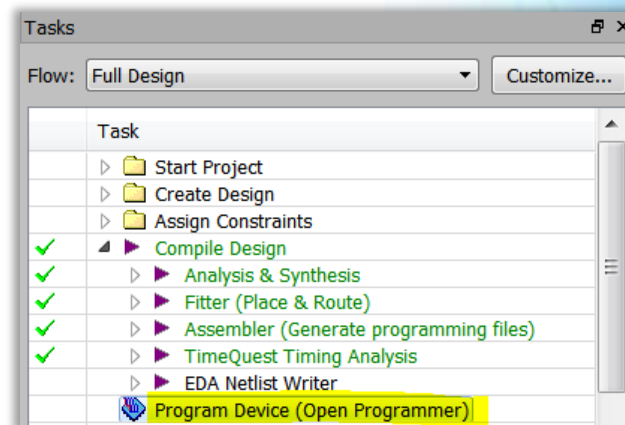
# Подготовка платы miniDiLaB-CIV к программированию

- Установите джамперы так, как показано на рисунке: режим встроенный USBBlaster для программирования СБИС
- Подключите плату к USB разъему компьютера
- Включите плату miniDiLaB-CIV : переключатель Power (плата питается от USB) – загорится светодиод Power



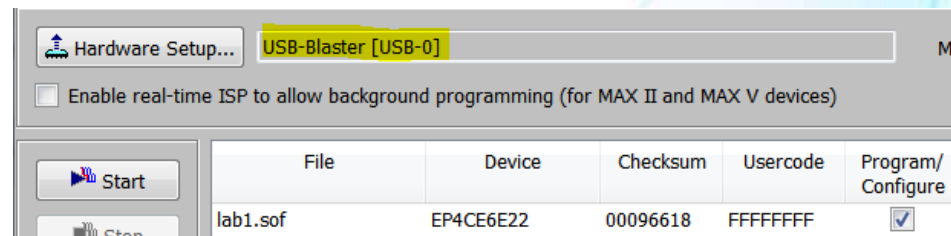
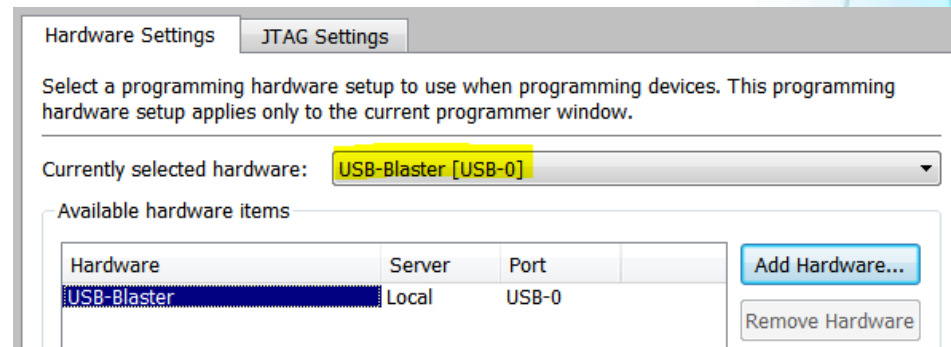
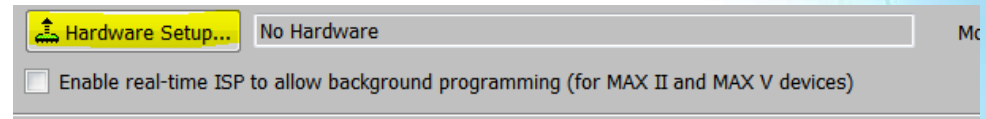
# Запуск системы программирования

- В окне задач (Tasks) выберите процедуру Full Design и двойным щелчком левой клавиши мыши по команде Program Device запустите приложение, управляющее конфигурированием СБИС.



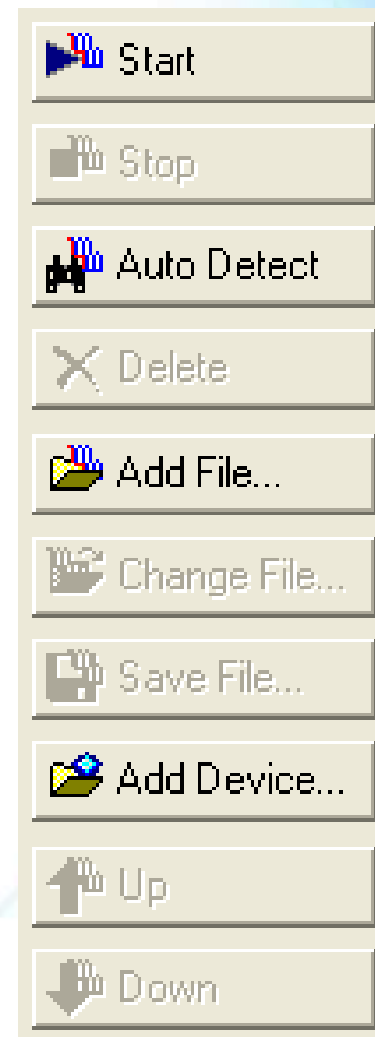
# Установка средства конфигурирования

- нажмите кнопку **Hardware Setup**
- В разделе **Available hardware items** выберите (двойным щелчком левой клавиши мыши) USB-Blaster
- USBBlaster , интегрированный на плате miniDiLaB-CIV, распознан и готов к работе.



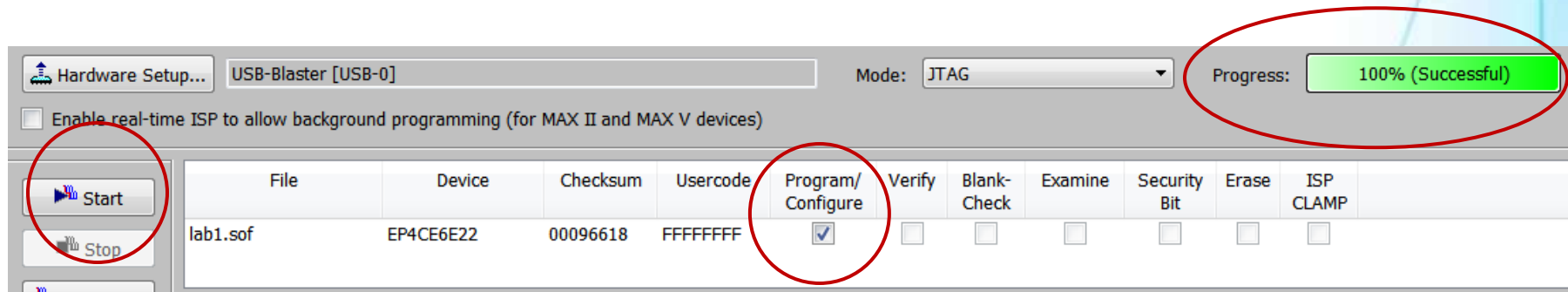
# Инструменты системы программирования

- Запуск программирования
- Автоматическое обнаружение СБИС в JTAG цепочке
- Добавить/удалить/изменить файлы для программирования СБИС
- Добавить/удалить/изменить СБИС в JTAG цепочке



# Запуск процедуры конфигурирования СБИС

- Включите опцию **Program/Configure**
- Нажмите кнопку **Start**.
- В окне Progress будет отображаться статус процедуры конфигурирования СБИС.







# План

- СБИС Cyclone IV: обзор;
- Стенд miniDiLaB-CIV: обзор;
- Пакет QII: введение
- Процедура проектирования в рамках пакета QII
- Пакет QII: проект
- Пакет QII: компиляция проекта;
- Пакет QII: конфигурирование СБИС
- Упражнение 1

# Описание упражнения 1

- **Цель** – самостоятельно пройти цикл проектирования в рамках пакета QII
- **Пошаговое описание упражнения** – файл “Упражнение 1.pdf”
- **Рабочая папка проекта (lab1 ) содержит:**
  - Файл с настройками проекта –lab1.qsf
  - Схему верхнего уровня в иерархии проекта – файл lab1.bdf
  - Описания компонента проекта:
    - Файл с описанием конфигурируемого счетчика - counter\_high.tdf
    - Файл с символом счетика - counter\_high.bsf

	counter_high	Quartus II Block Symbol File
	counter_high.tdf	Файл "TDF"
	lab1	Quartus II Block/Schematic File
	lab1	Файл "QSF"



# Описание проекта упражнения 1

## ■ Проект обеспечивает:

- деление на счетчике частоты 25Mhz на  $2^{23}$ ;
- включение (активный уровень – 0)/выключение светодиодов старшим разрядом счетчика-делителя;
- разрешение(активный уровень – 1)/запрещение работы каждого светодиода led[7..0] сигналом от соответствующего переключателя – sw[7..0];
- сброс счетчика при нажатии на кнопку pba или pbb.

